

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-159765

(43)Date of publication of application : 02.06.1992

---

(51)Int.CI. H01L 25/00

---

(21)Application number : 02-284898 (71)Applicant : NEC CORP

(22)Date of filing : 23.10.1990 (72)Inventor : NITTA HIDETO

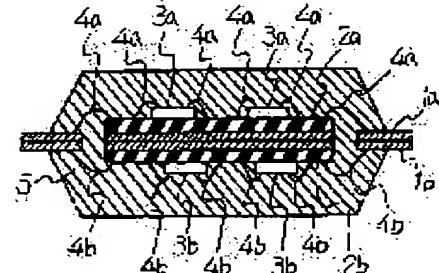
---

## (54) HYBRID INTEGRATED CIRCUIT DEVICE

### (57)Abstract:

PURPOSE: To facilitate high integration, high density by bringing a second lead frame in which a printed circuit board placed with at least two semiconductor bare chips is adhered to one side surface into contact with a first lead frame face, superposing them and resin-sealing it.

CONSTITUTION: A printed circuit board 2b is adhered on a lead frame 1b, two semiconductor bare chips 3b are placed on the board 2b by die bonding, further the chip 3b is connected to the board 2b and the board 2b is connected to the frame 1b by wire bonding with gold wires 5b. Then, the frames 1a, 1b are superposed on the surfaces in which the boards 2a, 2b are not adhered, and sealed with resin 5 by a transfer molding method. Thus, high density and high integration are facilitated.




---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

⑯日本国特許庁 (JP)

⑪特許出願公開

⑫公開特許公報 (A) 平4-159765

⑬Int. Cl.<sup>5</sup>  
H 01 L 25/00

識別記号  
A

庁内整理番号  
7638-4M

⑭公開 平成4年(1992)6月2日

審査請求 未請求 請求項の数 1 (全2頁)

⑮発明の名称 混成集積回路装置

⑯特 願 平2-284898

⑰出 願 平2(1990)10月23日

⑱発明者 新田 秀人 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳代理人 弁理士 内原 晋

明細書

発明の名称

混成集積回路装置

特許請求の範囲

少なくとも2つの半導体ベアチップを搭載したプリント配線基板を片面に貼り付けた第1のリードフレームと、少なくとも2つの半導体ベアチップを搭載したプリント配線基板を片面に貼り付けた第2のリードフレームとを有し、前記第1のリードフレーム面と前記第2のリードフレーム面とを接触させ重ね合わせて樹脂封止したことを特徴とする混成集積回路装置。

発明の詳細な説明

(産業上の利用分野)

本発明は混成集積回路装置に関し、特に半導体ベアチップを樹脂封止した混成集積回路装置に関する。

〔従来の技術〕

従来、リードフレーム上に絶縁エリアを設け、その上に所定の配線が施されたプリント配線基板を貼り付け、プリント配線基板上の所定の位置に半導体素子等をベアチップ状態にて搭載し、ベアチップとプリント配線基板間およびプリント配線基板とリードフレーム間を金線にてワイヤボンディング法により接続し、トランスファモールド法にて樹脂封止した構造をもつトランスファモールド型の混成集積回路装置 (COMPACT) がある(例えば、最新ハイブリッドテクノロジー、第215頁～第219頁、工業調査会、電子材料総集部、モールド型のハイブリッドIC、第1回マイクロエレクトロニクスシンポジウム論文集、ISHM JAPAN)。

(発明が解決しようとする課題)

この従来の混成集積回路装置は、リードフレーム上にプリント配線基板を貼り付け、このプリント配線基板上に所定の半導体素子をベアチップ状態にて搭載しているが、リードフレームの下部へ

ペアチップを搭載するのは困難であるため、リードフレームの下部は、トランスファモールド封止された樹脂と接触する構造となっており、混成集積回路装置の高集積化、高密度化を難しくしているという問題点があった。

本発明の目的は、高集積化、高密度化が容易な混成集積回路装置を提供することにある。

〔課題を解決するための手段〕

本発明の混成集積回路装置は、少なくとも2つの半導体ペアチップを搭載したプリント配線基板を片面に貼り付けた第1のリードフレームと、少くとも2つの半導体ペアチップを搭載したプリント配線基板を片面に貼り付けた第2のリードフレームとを有し、前記第1のリードフレーム面と前記第2のリードフレーム面とを接触させ重ね合わせて樹脂封止されている。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例の断面図である。

-3-

さらに、図示しないが、半導体ペアチップ3aの代わりに、受動素子である表面実装部品タイプのチップコンデンサを搭載することによっても高密度で高集積された混成集積回路装置が得られる。

〔発明の効果〕

以上説明したように本発明は、リードフレームの上下に半導体ペアチップを搭載することにより、従来に比べて約2倍の高密度化、高集積化が可能となるという効果を有する。

図面の簡単な説明

第1図は、本発明の一実施例の断面図である。

1a, 1b…リードフレーム、2a, 2b…プリント配線基板、3a, 3b…半導体ペアチップ、4a, 4b…金線、5…樹脂。

代理人弁理士内原晋

-5-

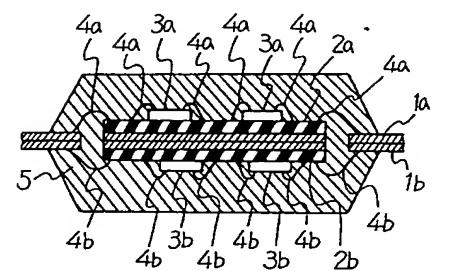
特開平4-159765(2)

第1図に示すように、リードフレーム1a上にプリント配線基板2aを貼り付け、プリント配線基板2a上に2つの半導体ペアチップ3aをダイボンディングして搭載し、さらに、金線4aにてワイヤボンディングして、半導体ペアチップ3aとプリント配線基板2a間およびプリント配線基板2aとリードフレーム1a間を接続する。

一方、リードフレーム1b上にプリント配線基板2bを貼り付け、プリント配線基板2b上に2つの半導体ペアチップ3bをダイボンディングして搭載し、さらに、金線5bにてワイヤボンディングして半導体ペアチップ3bとプリント配線基板2b間およびプリント配線基板2bとリードフレーム1b間を接続する。

次に、フレーム1aとリードフレーム1bをそれぞれプリント配線基板2a, 2bを貼り付けていない面で重ね合わせ、樹脂5をトランスファモールド法にて封止することにより、本実施例の高密度で高集積された混成集積回路装置が得られる。

-4-



1a, 1b:リードフレーム 4a, 4b:金線

2a, 2b:プリント配線基板 5:樹脂

3a, 3b:半導体ペアチップ

第1図